

10/637 609

11.20.03

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08223479 A

(43) Date of publication of application: 30.08.96

(51) Int. Cl

H04N 5/262
H04N 3/16
H04N 3/22
H04N 5/92
H04N 5/937
H04N 7/01

(21) Application number: 07028162

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(22) Date of filing: 16.02.95

(72) Inventor: MATSUMOTO KEIZO

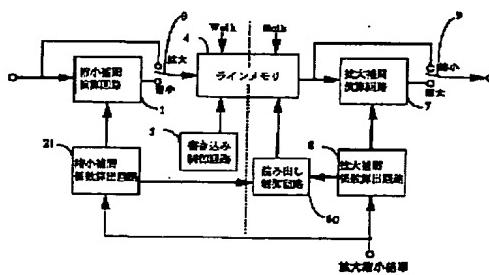
(54) SAMPLING FREQUENCY CONVERSION CIRCUIT**(57) Abstract:**

PURPOSE: To reduce a circuit scale by reducing a video signal in the horizontal direction and sampling frequency simultaneously and converting them so as to reduce deterioration in high frequency response in the horizontal direction so as to obtain an excellent image.

CONSTITUTION: When magnification obtained by multiplying an inverse frequency conversion ratio with magnification or reduction of an image is less than the unity, the processing is the reduction processing as a whole and changeover switches 3, 9 are thrown to the position of reduction and a reduction interpolation arithmetic circuit 1, a reduction interpolation coefficient calculation circuit 21, a line memory 4, a write control circuit 5 and a read control circuit 60 are used for reduction processing. Conversely when the magnification is the unity or over, the changeover switches 3, 9 are thrown to the position of magnification for magnification processing. That is, the reduction interpolation is conducted and the resulting data are written in a line memory 4 by using a clock signal before frequency conversion and read by using clock signals after frequency conversion while conducting address control corresponding to the

synthesis magnification to realize horizontal direction reduction processing and sampling frequency conversion simultaneously.

COPYRIGHT: (C)1996,JPO





(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-223479

(43)公開日 平成8年(1996)8月30日

(51)Int.Cl.
H 0 4 N
5/262
3/16
3/22
5/92
5/937

識別記号

府内整理番号

F I
H 0 4 N
5/262
3/16
3/22
7/01
5/92

技術表示箇所
C
Z
Z
H

審査請求 未請求 請求項の数 3 O.L (全 10 頁) 最終頁に続く

(21)出願番号

特願平7-28162

(22)出願日

平成7年(1995)2月16日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 松本 恵三

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

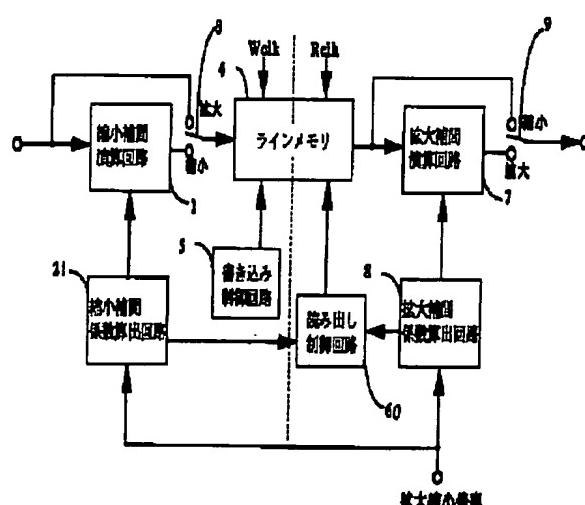
(74)代理人 弁理士 小鍛治 明 (外2名)

(54)【発明の名称】 サンプリング周波数変換回路

(57)【要約】

【目的】 サンプリング周波数変換と画像の水平方向の拡大もしくは縮小処理を行う必要のあるデジタル映像信号処理において、水平解像度の劣化を小さく抑え、かつ小規模の回路構成にてこれを実現することを目的とする。

【構成】 周波数変換比と拡大もしくは縮小の倍率を合成した補間係数が1未満のときは、先に該補間係数で縮小補間処理を行ってから、ラインメモリ4に書き込んで読み出す、逆に合成した補間係数が1以上のときは、ラインメモリ4から読み出した後、該補間係数で拡大補間処理を行うという動作を、書き込み側は変換前クロック、読み出し側は変換後クロックで行うことにより、水平拡大縮小処理とサンプリング周波数変換を同時にを行う。



- 1.... 縮小補間計算回路
2.... 拡大補間計算回路
3,4.... 切り替えスイッチ
5.... 書き込み補間回路
6.... 読み出し補間回路
7.... 総大縮小倍率
8.... 拡大補間計算回路

【特許請求の範囲】

【請求項1】 デジタル映像信号を水平方向に縮小処理する補間演算回路と、書き込みおよび読み出しを異なる動作クロックで動作することのできるラインメモリと、前記補間演算回路により演算されたデータを前記ラインメモリに対して書き込む書き込み制御回路と、前記ラインメモリの読み出しを制御する読み出し制御回路と、前記補間演算回路と前記読み出し制御回路に対して制御を行う補間係数算出回路とを備え、映像信号の水平方向の縮小処理とサンプリング周波数変換を同時にを行うことを特徴とするサンプリング周波数変換回路。

【請求項2】 デジタル映像信号を水平方向に縮小処理する縮小補間演算回路と、書き込みおよび読み出しを異なる動作クロックで動作することのできるラインメモリと、前記ラインメモリに対して書き込み制御を行う書き込み制御回路と、前記ラインメモリの読み出し制御を行う読み出し制御回路と、前記縮小補間演算回路と前記読み出し制御回路に対して制御を行う縮小補間係数算出回路と、前記ラインメモリより読み出したデジタル映像信号を水平方向に拡大処理する拡大補間演算回路と、前記拡大補間演算回路と前記読み出し制御回路に対して制御を行う拡大補間係数算出回路と、縮小処理であるか拡大処理であるかを切り替える切り替え回路とを備え、映像信号の水平方向の縮小処理もしくは拡大処理とサンプリング周波数変換を同時にを行うことを特徴とするサンプリング周波数変換回路。

【請求項3】 デジタル映像信号を水平方向に縮小処理もしくは拡大処理する補間演算回路と、書き込みおよび読み出しを異なる動作クロックで動作することのできるラインメモリと、前記ラインメモリに対して書き込み制御を行う書き込み制御回路と、前記ラインメモリの読み出し制御を行う読み出し制御回路と、前記補間演算回路と前記読み出し制御回路に対して制御を行う補間係数算出回路と、縮小処理であるか拡大処理であるかを切り替える切り替え回路とを備え、前記補間演算回路および前記補間係数算出回路に対して動作クロックとして、縮小処理時にはサンプリング周波数変換前クロックを、拡大処理時にはサンプリング周波数変換後クロックを選択入力することにより、映像信号の水平方向の縮小処理もしくは拡大処理とサンプリング周波数変換を同時にを行うことを特徴とするサンプリング周波数変換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデジタル信号処理により映像信号のサンプリング周波数変換を行う回路に関し、特に入力映像信号を水平方向に拡大もしくは縮小する水平拡大縮小処理とサンプリング周波数変換の両方を行う映像信号処理回路におけるサンプリング周波数変換回路に関するものである。

【0002】

【従来の技術】 従来技術では、デジタル映像信号処理においてサンプリング周波数変換が必要となるシステムで画像の拡大処理または縮小処理を行う場合、サンプリング周波数変換と画像の拡大縮小処理は独立に行われていた。

【0003】 画像の拡大縮小処理については、例えば、特開平6-46306号公報に示されているようにフィールドメモリを使用して水平方向垂直方向の画像拡大を行っていた。水平方向の拡大縮小処理は、フィールドメモリから抜き出されて複数のラインメモリに入力され、垂直方向の拡大処理を行ったデータに対して、水平方向に直線補間で内挿処理を行うというものである。

【0004】 また、水平方向に対してのみ画像拡大もしくは縮小処理を行う場合には、ラインメモリと書き込み制御回路、読み出し制御回路を設け、拡大処理であればラインメモリに蓄えられたデータを、拡大倍率に応じた間隔で二度読みしながら読み出して、順次読み出されたデータにより内挿処理する方法で行われている。逆に縮小処理であれば、入力データに対して先に内挿処理を行ってからラインメモリに書き込み、縮小倍率に応じた間隔で間引きながら読み出すという方法で行われる。

【0005】 一方、サンプリング周波数変換についてはいくつかの方法があるが、変換比がある程度複雑になれば、例えばRAMを用いて行うといった方法がある。補間は変換比等にもよるが、簡易的には直線補間演算により行われている。例えば周波数を上げる変換の場合を説明すると、入力データをメモリに変換前クロックで書き込み、変換後クロックで変換比に応じた間隔で二度読みしながら読み出しを行って、これを直線近似により補間をするという方法によって行われている。逆に周波数を下げる変換の場合では、入力データに先に直線補間を行い、メモリに変換前クロックで書き込み、変換後クロックで間引きながら読み出しを行うという方法によって行われている。

【0006】 このような従来のシステムにおいての水平方向縮小処理とサンプリング周波数変換処理の構成の一例を、クロックを下げる変換の場合を図4に、クロックを上げる変換の場合を図5にそれぞれ示す。

【0007】 以上の説明の水平縮小処理方式とサンプリング周波数変換方式について、図7に4/5倍時の水平縮小処理を、図8に変換比4:5の周波数変換処理の模式図を示す。

【0008】

【発明が解決しようとする課題】

(課題1) しかしながら、図4もしくは図5に示すような従来の構成では水平縮小処理のため一度直線補間演算により画質劣化した画像信号に対し、さらに周波数変換のための帯域制限や再度の補間演算処理となるため、画質劣化が大きいという問題点を有していた。

【0009】 これをベースバンドの周波数特性で示した

図1_1を参照して以下に説明する。まず、入力信号(a)に対し図7に示すような水平方向縮小処理を行う。

【0010】ここで内挿比は図7に示すように1:0、 $3/4:1/4$ 、 $1/2:1/2$ 、 $1/4:3/4$ 、 $1:0$ 、 $0:1$ と順に変化していくが、この内の例えば $1/2:1/2$ の内挿比のポイントであれば、(b)に示す様な出力周波数特性になる。さらにこれに図8に示すようなサンプリング周波数変換処理が行われる。このサンプリング周波数変換処理による出力周波数特性は、(c)の様になる。

【0011】なお(b)に図示しているのは内挿演算についてのみの周波数特性図であるが、水平縮小処理を行うと折り返し歪みが生じるので、入力信号に対して帯域制限を行う必要がある。また(c)に図示しているのは(a)に対してサンプリング周波数変換のみを行った様子を簡略化した図である。

【0012】実際には、帯域制限をして水平縮小と周波数変換を行ったとすれば(b)に(c)のようなフィルタがかけられ、結果としてトータルの周波数特性は(d)のようになり、二重にフィルタリングされる効果となって信号の高周波成分のレスポンスが二重に劣化する。

【0013】尚、これは周波数変換を先に行い、その後水平縮小処理を行っても同様に劣化する。

【0014】また、従来の回路構成では周波数変換の為にメモリ16と書き込みおよび読み出し制御回路(17, 18)、補間演算回路14および補間係数算出回路15などが別途必要であり、水平方向拡大処理回路についてもほぼ同様の回路構成が必要であるため、冗長で大きな規模の回路構成となっていた。

【0015】尚、周波数変換用メモリ16の容量については変換比によって必要容量が決まり、簡単な変換比では小さく良いが、複雑な変換比では大きなメモリ容量を必要とする。

【0016】さらに、実際の回路では高周波信号で振幅の小さい信号の場合、補間演算を重ねて行うことにより内挿演算のピット精度劣化となるため、ピット精度を保持するには補間演算回路やラインメモリ等の回路規模が大きくなってしまう。

【0017】本発明は、このような従来の問題点を解決するものであり、簡単な構成で水平方向縮小処理とサンプリング周波数変換処理を同時に、かつ画質の劣化を小さく抑えながら行うことのできるサンプリング周波数変換回路を提供するものである。

【0018】(課題2)しかしながら、従来の構成では周波数変換において、図4に示すように周波数を下げる変換では直線補間演算を周波数変換用メモリの書き込み前に行う必要があり、図5に示すように周波数を上げる変換では、直線補間演算を周波数変換用メモリの書き込

み後に行う必要があった。

【0019】また、画像の拡大縮小についても同様に、縮小処理では補間演算をラインメモリの書き込み前に行う必要があり、拡大処理では補間演算を周波数変換用メモリの書き込み後に行う必要があった。

【0020】このように、従来の構成ではそれぞれの映像信号処理システムに応じて、画像の拡大縮小処理とサンプリング周波数変換処理の構成をとる必要があった。

【0021】本発明は、このような従来の問題点を解決するものであり、簡単な構成で水平方向拡大縮小処理と任意比のサンプリング周波数変換処理を同時に、かつ画質の劣化を小さく抑えながら行うことのできるサンプリング周波数変換回路を提供するものである。

【0022】

【課題を解決するための手段】

(課題1を解決するための手段1) 本発明の第1の発明のサンプリング周波数変換回路は、書き込みおよび読み出しを異なる動作クロックで動作することのできるラインメモリを使用し、入力信号から直接に水平縮小処理とサンプリング周波数変換処理を同時に使うものである。

【0023】(課題2を解決するための手段2) 本発明の第2の発明のサンプリング周波数変換装置は、書き込みおよび読み出しを異なる動作クロックで動作することのできるラインメモリを使用し、縮小処理回路と拡大処理回路を設け、倍率に応じていずれかに切り替えて入力信号から直接に水平拡大縮小処理とサンプリング周波数変換を同時に使うものである。

【0024】(課題2を解決するための手段3) 本発明の第3の発明のサンプリング周波数変換装置は、書き込みおよび読み出しを異なる動作クロックで動作することのできるラインメモリを使用し、拡大縮小補間演算回路と拡大縮小補間係数算出回路を設け、これらの回路に対して動作クロックを倍率に応じて切り替えて動作させて、縮小処理回路と拡大処理回路を共用化して入力信号から直接に水平拡大縮小処理とサンプリング周波数変換を同時に使うものである。

【0025】

【作用】

(手段1による作用) 本発明の第1の発明の構成によれば、水平縮小処理の縮小倍率と周波数変換の逆変換比を掛け合わせた合成倍率比で縮小補間演算を行い、そのデータをラインメモリに対し周波数変換前のクロックにより書き込んだ後、合成倍率比に対応したアドレス制御を行いながら、周波数変換後のクロックにより読み出しを行うことにより、水平方向縮小処理とサンプリング周波数変換を同時に使う様に作用する。

【0026】ここでサンプリング周波数変換は、クロックを下げる変換を前提として説明しているが、合成倍率比が1以下となる範囲においてクロックを上げる変換にも対応することができる。

【0027】(手段2による作用)本発明の第2の発明の構成によれば、水平方向拡大縮小処理の拡大／縮小倍率と周波数変換の逆変換比を掛け合わせた合成倍率が、トータルとして1未満なら縮小処理を行ってからラインメモリに書き込んで、変換後クロックで読み出す。逆に1以上なら、変換前クロックでラインメモリに書き込んで、変換後クロックで読み出してから拡大処理を行うことにより、入力信号から直接に水平方向拡大もしくは縮小処理と任意比のサンプリング周波数変換を同時にを行う様に作用する。

【0028】(手段3による作用)本発明の第3の発明の構成によれば、拡大縮小補間演算回路および拡大縮小補間係数算出回路とに、縮小時は変換前クロックを、拡大時には変換後クロックを動作クロックとして選択入力してやることにより、縮小処理と拡大処理を同一の回路で共用化し、ラインメモリの入出力および出力部を信号を切り替えることにより、簡単な構成で入力信号から直接に水平方向拡大もしくは縮小処理と任意比のサンプリング周波数変換を同時にを行う様に作用する。

【0029】

【実施例】本発明の第1の発明の実施例について図面を参照して説明する。本発明の第1の発明の実施例のブロック図を図1に示す。

【0030】まず、システムコントローラ等により設定された画像縮小倍率と周波数変換の逆変換比を掛け合わせた合成倍率を補間係数算出回路20で算出する。

【0031】入力信号は、補間演算回路10で合成倍率により直線補間演算が行われる。補間演算された入力信号は、書き込み制御回路5によりアドレス制御され水平方向の任意の範囲を変換前クロックレートでラインメモリ4に書き込まれる。そして、読み出し制御回路6では、該当する水平方向範囲で補間演算に対応したデータの得られるように読み飛ばしアドレス制御を行いながら、変換後クロックレートでラインメモリ4より読み出されて、クロックレートの変換された水平方向縮小画像信号として出力される。

【0032】以下に、前述の処理を信号処理の流れを模式化した図9を用いて説明する。図9では、水平縮小倍率3/5倍の縮小と変換前：変換後=3:4の比でサンプリング周波数を変換する場合の例を示している。

【0033】まず、図1の補間係数算出回路20では、合成倍率をr、合成補間比をkとすれば

$$r = \text{縮小倍率} \times 1 / \text{クロック変換比}$$

$$= 3 / 5 \times 4 / 3 = 0.8$$

$$k = 1 / \text{合成倍率} = 1 / 0.8 = 1.25$$

を算出する。

【0034】補間演算回路10では合成補間比k=1.25あれば順に0, 0.25, 0.5, 0.75, 1と合成補間比に応じて、補間係数が順次入力され、入力信号aの前後のデータから内挿されてbを得る。このデータ

は、変換前クロックで指定された水平方向書き込み範囲枠内をラインメモリにcの様に書き込む。

【0035】これに対し、読み出し制御回路6では変換後クロックで指定された水平方向読み出し枠内で合成倍率0.8に対応するようにデータを5個おきに読み飛ばしてdのごとく読み出す。

【0036】このようにして、入力信号aを縮小処理とサンプリング周波数変換を同時に進行し出力信号dを得るものである。

【0037】実際には、入力信号aに対して、1H遅れて出力信号dが得られる。図6に上記補間演算回路の一例を示す。

【0038】図6では、時刻nの入力信号をXn、出力信号をYn、順次入力される補間係数をKnとすれば、

$$Y_n = (1 - K_n) X_{n-1} + K_n X_n$$

の直線補間演算が行われる。

【0039】次に画質劣化抑制効果について図12を参照して説明する。ここでは、図11と比較するため、縮小倍率=4/5倍、周波数変換比4:5の場合を示す。

【0040】縮小処理に伴う折り返し歪みに対する帯域制限は図11の説明同様入力信号に対してかけられるものとすると、入力信号(a)に対し合成倍率=1で4:5のサンプリング周波数変換が同時に行われるので、

(b)に示す様なフィルタを通すこととなり、これを帯域制限すると、結果として(c)に示すようになる。ここに示した例は多少特異な例であるが、合成倍率が1とならない通常の場合も同様に表現できる。

【0041】このように、本方式ではフィルタリングは一度だけの効果なので、信号の高周波成分のレスポンス劣化は、図11に示す場合に比べ低く抑えられる。

【0042】以上の実施例については、周波数変換を変換前クロックより早いクロックに変換する場合を説明しているが、これらの例のように合成倍率が1以下となる範囲においては、クロックを上げる周波数変換も行うことができる。

【0043】クロックを下げる変換については、いかなる縮小倍率でも可能である。本発明の第2の発明の実施例について図面を参照して説明する。本発明の第2の発明の実施例のブロック図を図2に示す。

【0044】まず、画像の拡大もしくは縮小の倍率と周波数変換の逆変換比を掛け合わせた合成倍率が1未満の場合を説明すれば、この場合は全体として縮小処理となり、切り替えスイッチ3, 9を縮小側に切り替えて、縮小補間演算回路1、縮小補間係数算出回路21、ラインメモリ4、書き込み制御回路5、読み出し制御回路60を使用して第1の発明の実施例に説明した縮小処理が行われる。

【0045】逆に、合成倍率が1以上であれば全体として拡大処理であり、切り替えスイッチ3, 9を拡大側に切り替えて、次に説明する拡大処理がなされる。

【0046】拡大処理では入力信号は、書き込み制御回路5によりアドレス制御され入力信号の水平方向の任意の範囲が変換前クロックレートでラインメモリ4に書き込まれる。また、システムコントローラ等により設定された合成倍率により、拡大補間係数算出回路8で算出される。この係数により読み出し制御回路60では、該当する範囲で合成倍率の拡大補間演算を行うに必要なデータを読み出せる様アドレス制御を行い、変換後クロックレートでラインメモリ4より読み出される。こうして読み出されたデータは拡大補間演算回路7で拡大補間係数により直線補間演算が行われ、サンプリング周波数の変換された水平方向拡大画像信号として出力される。

【0047】以下に、前述の拡大処理の場合の信号処理の流れを模式化した図10を用いて説明する。

【0048】図10では、水平拡大倍率1.5倍の拡大と変換前：変換後=6:5の比でサンプリング周波数を変換する場合の例を示している。

【0049】入力信号aは変換前クロックで指定された水平方向書き込み範囲枠内をラインメモリにbの様にそのまま書き込む。

【0050】また、図2の拡大補間係数算出回路8では、合成倍率をr、合成補間比をkとすれば

$$r = \text{拡大倍率} \times 1 / \text{周波数変換比}$$

$$= 1.5 \times 1 / 1.2 = 1.25$$

$$k = 1 / \text{合成倍率比} = 1 / 1.25 = 0.8$$

を算出する。

【0051】これに対し、読み出し制御回路60では変換後クロックで指定された水平方向読み出し枠内で合成倍率1.25に対応するようにデータを4個おきに二度読みでcのごとく読み出す。

【0052】そして、拡大補間演算回路7では合成補間比k=0.8であれば順に0, 0.8, 0.6, 0.4, 0.2と合成補間比に応じて、補間係数が順次入力され前後のデータから内挿され、変換後クロックで直線補間演算がdの様に行われる。こうして、入力信号aを拡大処理とサンプリング周波数変換を同時にい出力信号dを得るものである。

【0053】このように、水平方向拡大縮小処理と任意比のサンプリング周波数変換処理を同時に、かつ画質の劣化を小さく抑えながら行うことができる。

【0054】本発明の第3の発明の実施例について図面を参照して説明する。本発明の第3の発明の実施例のブロック図を図3に示す。

【0055】まず、画像の拡大もしくは縮小の倍率と周波数変換の逆変換比を掛け合わせた合成倍率が1未満の場合を説明すれば、この場合は全体として縮小処理となり次の動作を行う。切り替えスイッチ3, 9, 11は縮小側に切り替えて、拡大縮小補間演算回路12と拡大縮小補間係数算出回路13に動作クロックとして変換前ク

ロック（図3でWclkと図示）を入力して、合成倍率（1未満）が設定されて縮小補間処理を行うよう動作する。そして、ラインメモリ4、書き込み制御回路5、読み出し制御回路61を使用して第2の発明の実施例に説明した縮小処理が行われる。

【0056】逆に、合成倍率が1以上であれば全体として拡大処理であり、切り替えスイッチ3, 9, 11を拡大側に切り替えて、拡大縮小補間演算回路12と拡大縮小補間係数算出回路13に動作クロックとして変換後クロック（図3でRclkと図示）を入力して、合成倍率（1以上）が設定されて拡大補間処理を行うよう動作する。

【0057】こうして、同様に第2の発明の実施例に説明した拡大処理が行われる。

【0058】

【発明の効果】以上の説明より明らかのように、本発明の第1の発明によれば、水平方向の高周波レスポンス劣化を小さく抑えた良好な画像を得ることができ、かつ、回路規模の面からも、水平方向縮小処理とサンプリング周波数変換を独立に行う場合に比べ、大幅に回路規模を削減することができる。

【0059】以上の説明より明らかのように、本発明の第2の発明によれば、簡単な構成で水平拡大もしくは縮小処理と同時にクロックを上げる変換もしくは下げる変換をいずれの組み合わせも任意に行うことができる。また、回路規模の面からも、水平方向拡大および縮小処理とサンプリング周波数変換を独立に行う場合に比べ、大幅に回路規模を削減できる。さらに、水平方向高周波レスポンスの劣化を小さく抑えた良好な画像を得ることができる。

【0060】以上の説明より明らかのように、本発明の第3の発明によれば、簡単な構成で水平拡大もしくは縮小処理と同時にクロックを上げる変換もしくは下げる変換をいずれの組み合わせも任意に行うことができる。また、回路規模の面では、第2の発明の実施例の場合よりもさらに大きく回路規模を削減することができる。さらに、水平方向高周波レスポンスの劣化を小さく抑えた良好な画像を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の発明の実施例の水平縮小および周波数変換回路の構成を示すブロック図

【図2】本発明の第2の発明の実施例の水平縮小拡大および周波数変換回路の構成を示すブロック図

【図3】本発明の第3の発明の実施例の水平縮小拡大および周波数変換回路の構成を示すブロック図

【図4】従来例の水平縮小回路部および周波数変換回路部（クロックを下げる）の構成ブロック図

【図5】従来例の水平縮小回路部および周波数変換回路部（クロックを上げる）の構成ブロック図

【図6】本発明の第1～第3の発明の実施例の補間演算

回路の構成を示すブロック図

【図7】水平縮小のみの方式説明図

【図8】サンプリング周波数変換のみの方式説明図

【図9】本発明の第1～第3の発明の実施例における縮小補間の信号処理方式説明図

【図10】本発明の第2、第3の発明の実施例における拡大補間の信号処理方式説明図

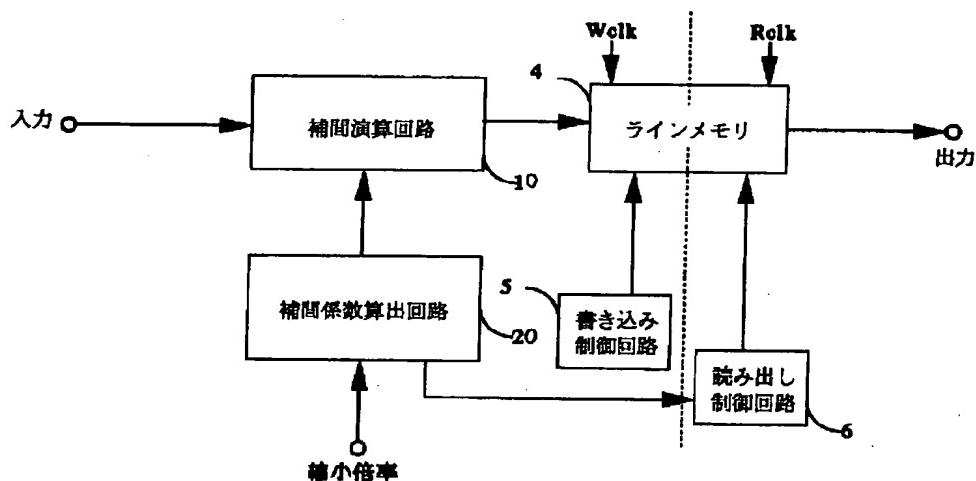
【図11】従来の縮小処理後周波数変換を行う方式の場合の周波数特性図

【図12】本発明の第1の発明の実施例における縮小処理および周波数変換方式の場合の周波数特性図

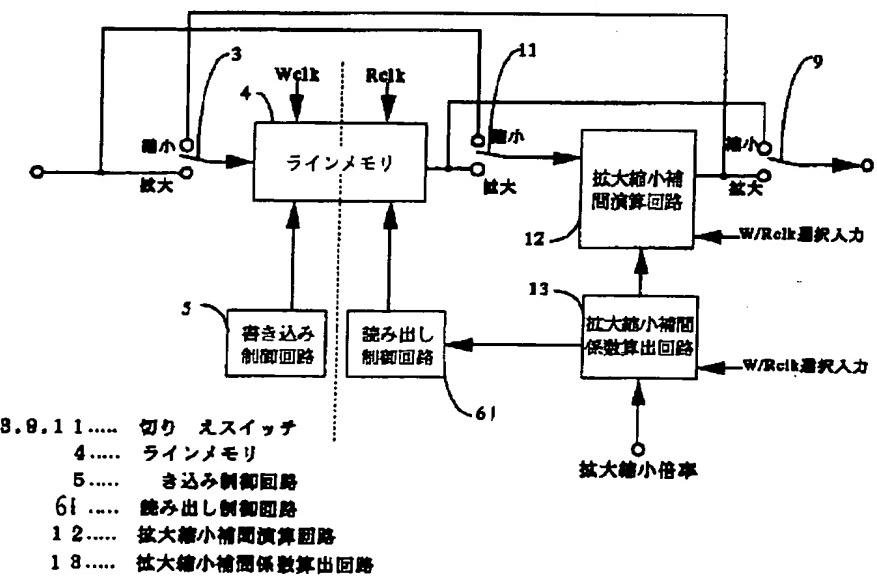
【符号の説明】

- 1 縮小補間演算回路
- 3, 9, 11 切り替えスイッチ
- 4 ラインメモリ
- 5 書き込み制御回路
- 6, 60, 61 読み出し制御回路
- 7 拡大補間演算回路
- 8 拡大補間係数算出回路
- 10 補間演算回路
- 12 拡大縮小補間演算回路
- 13 拡大縮小補間係数算出回路
- 20 補間係数算出回路
- 21 縮小補間係数算出回路

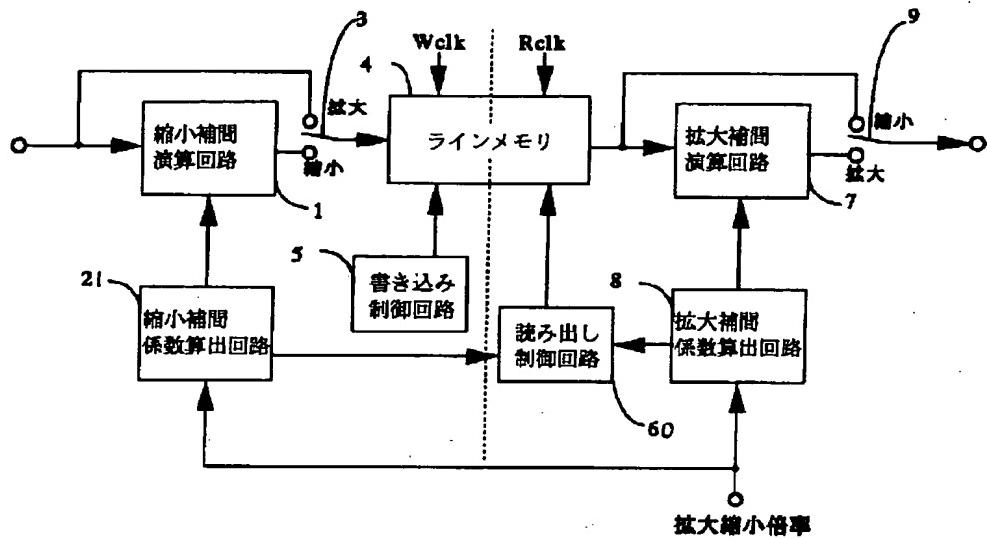
【図1】



【図3】

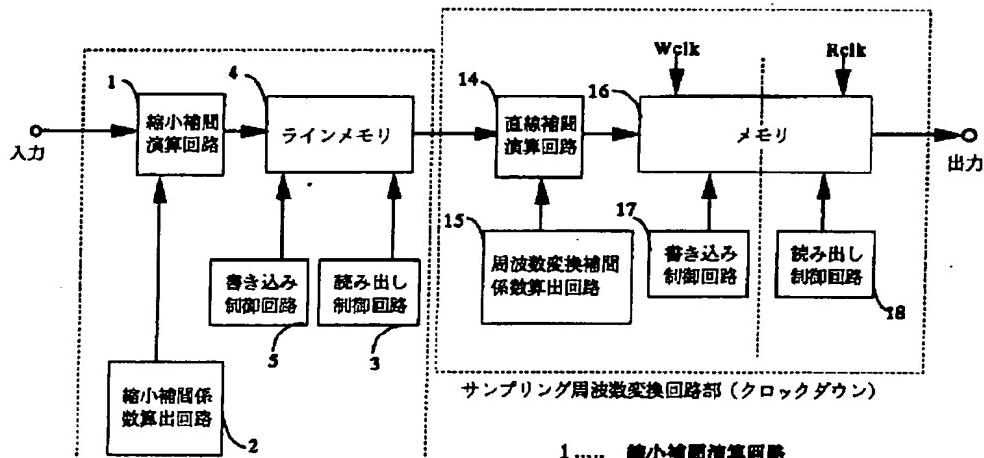


【図2】



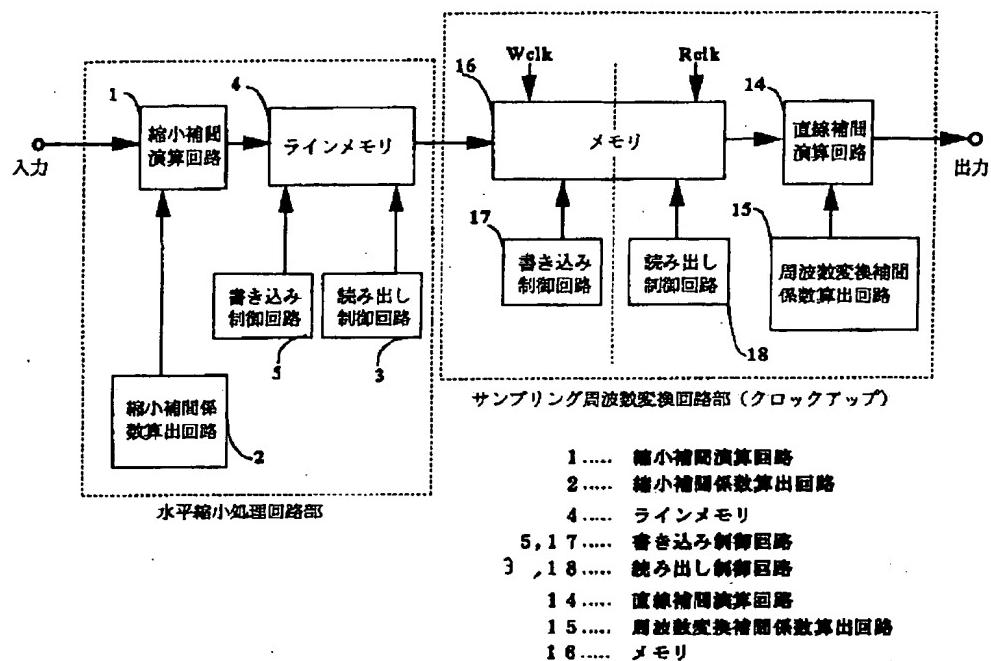
- | | |
|--------------------|-------------------|
| 1..... 縮小補間演算回路 | 5..... 書き込み制御回路 |
| 21..... 縮小補間係数算出回路 | 60..... 読み出し制御回路 |
| 3,9..... 切り替えスイッチ | 7..... 拡大補間演算回路 |
| 4..... ラインメモリ | 8..... 拡大補間係数算出回路 |

【図4】

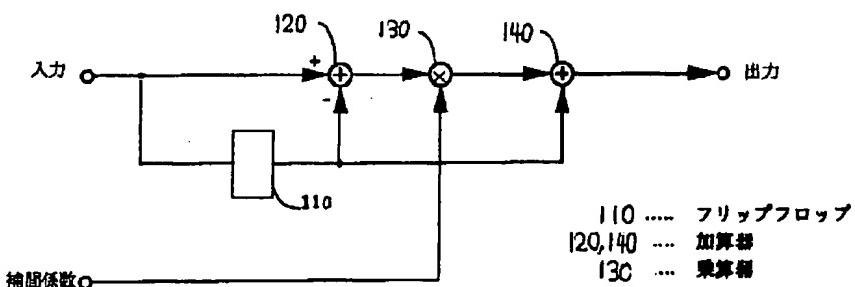


- | | |
|-----------------------|-----------------------|
| 1..... 縮小補間演算回路 | 1..... 縮小補間演算回路 |
| 2..... 縮小補間係数算出回路 | 2..... 縮小補間係数算出回路 |
| 4..... ラインメモリ | 4..... ラインメモリ |
| 5,17..... 書き込み制御回路 | 5,17..... 書き込み制御回路 |
| 3,18..... 読み出し制御回路 | 3,18..... 読み出し制御回路 |
| 14..... 直線補間演算回路 | 14..... 直線補間演算回路 |
| 15..... 周波数変換補間係数算出回路 | 15..... 周波数変換補間係数算出回路 |
| 16..... メモリ | 16..... メモリ |

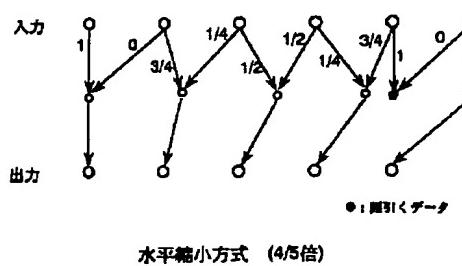
【図5】



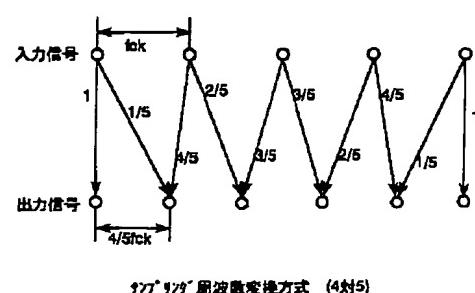
【図6】



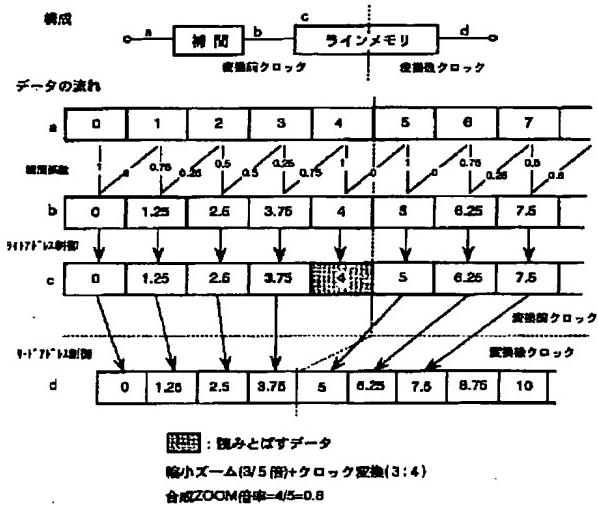
【図7】



【図8】

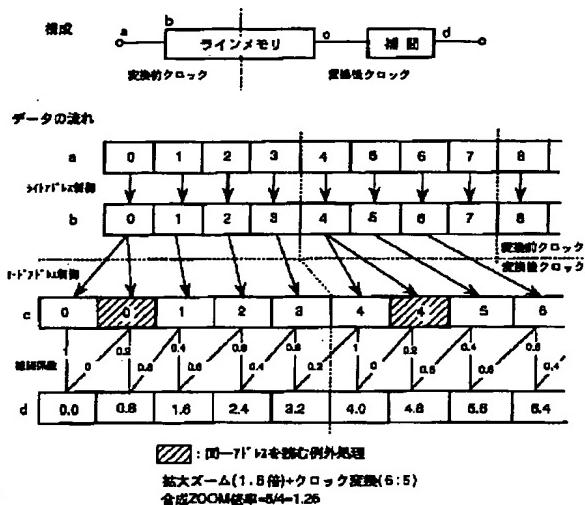


【図9】



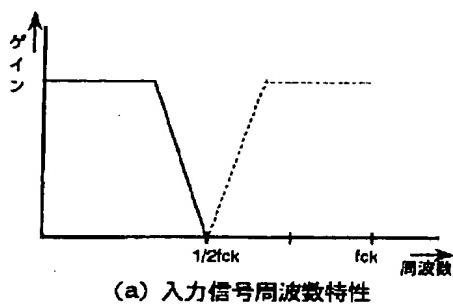
信号の処理方式説明図

【図10】

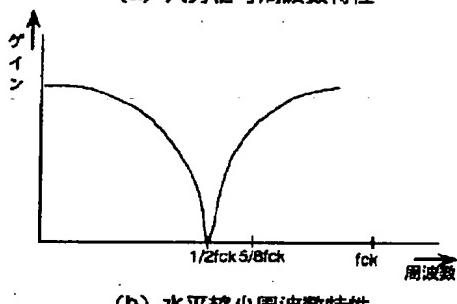


信号の処理方式説明図

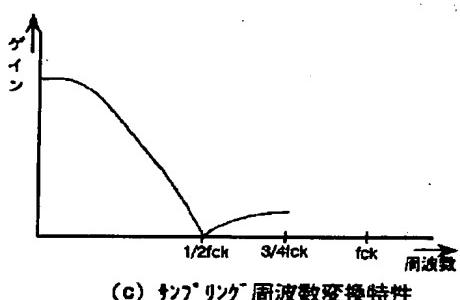
【図1.1】



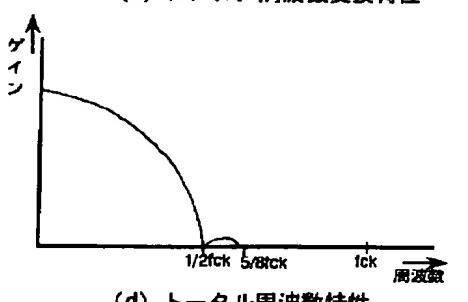
(a) 入力信号周波数特性



(b) 水平縮小周波数特性

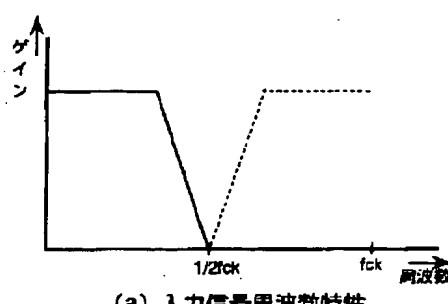


(c) ツーポーリング周波数変換特性

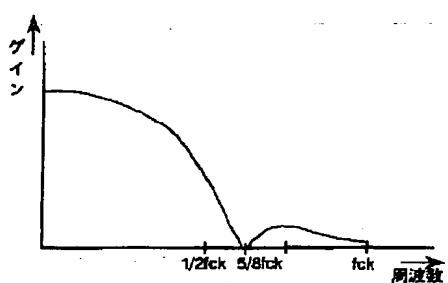


(d) トータル周波数特性

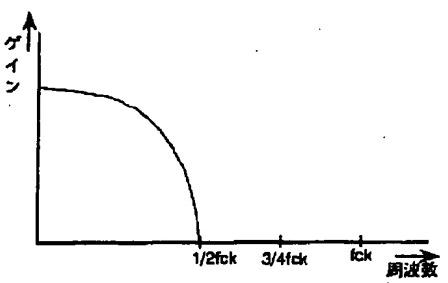
【図1.2】



(a) 入力信号周波数特性



(b) フィルター周波数特性



(c) トータル周波数特性

フロントページの続き

(51)Int.Cl.'

H 04 N 7/01

識別記号 庁内整理番号

F I

H 04 N 5/93

技術表示箇所

C

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成13年4月20日(2001.4.20)

【公開番号】特開平8-223479

【公開日】平成8年8月30日(1996.8.30)

【年通号数】公開特許公報8-2235

【出願番号】特願平7-28162

【国際特許分類第7版】

H04N 5/262

3/16

3/22

5/92

5/937

7/01

【F I】

H04N 5/262

3/16 C

3/22 Z

7/01 Z

5/92 H

5/93 C

【手続補正書】

【提出日】平成12年2月24日(2000.2.24)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】また、従来の回路構成では周波数変換の為にメモリ16と書き込みおよび読み出し制御回路(17, 18)、補間演算回路14および補間係数算出回路15とが別途必要であり、水平方向縮小処理回路についてもほぼ同様の回路構成が必要であるため、冗長で大きな規模の回路構成となっていた。

【手続補正2】

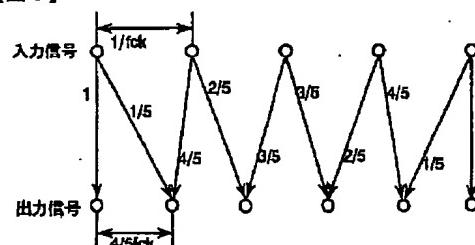
【補正対象書類名】図面

【補正対象項目名】図8

【補正方法】変更

【補正内容】

【図8】



「カッティング」周波数変換方式 (4対5)

